

## NOTICE TO SUBMIT RESPONSE

Patent Applicant

Name: Samsung Electronics Co., Ltd. (Applicant Code: 119981042713)  
Address: 416 Maetan-3-dong, Paldal-gu, Suwon-City,  
Kyunggi-do, Korea

Attorney

Name: Young-pil Lee et al.  
Address: 2F Cheonghwa Bldg., 1571-18 Seocho-dong, Seocho-ku, Seoul,  
Korea

Application No.: 10-1999-0039837

Title of the Invention: Semiconductor device having self-aligned contact and method of fabricating the same

The applicant is notified that the present application has been rejected for the reasons given below. Any Argument according to Article 63 of the Korean Patent Law or Amendment according to Article 47(2-3) of the Korean Patent Law which the applicant may wish to submit, must be submitted by September 25, 2001. An indefinite number of one-month extensions in the period for submitting a response may be obtained upon request, however no official confirmation of the acceptance of a request for an extension will be issued.

### Reasons

The invention claimed in Claims 1, 7, 13, 14, 15, 18, and 19 could have been easily invented by one of ordinary skill in the art prior to the filing of the application, and thus this application is rejected according to Article 29 (2) of the Korean Patent Law.

The present invention relates to semiconductor devices and a method for fabricating semiconductor devices. However, Claims 1, 7, 13 through 15, 18, and 19 is considered to have been possibly invented by those skilled in the art based on a prior invention (Korean Patent Publication No. 94-1273, published 11 January 1994), which relates to a technique of forming a second conductive line through an interlayer dielectric material to be connected to a first conductive line formed under the interlayer dielectric material in the manner of self-alignment.

Enclosure: Korean Patent Publication No. 94-1273 (published 11 January 1994)

25 July 2001

In-hee Kwon/Examiner  
Examination Division 4  
Korean Industrial Property Office

KOREAN PATENT ABSTRACTS (KR)

PUBLICATION

(11) Publication No.: 1994-1273      (43) Publication Date: 11 January 1994  
(21) Application No.: 1992-10445      (22) Application Date: 16 June 1992  
(51) IPC Code:

(71) Applicant:  
Hyundai Electronics Co., Ltd.  
136-1 San, Ami-ri, Pupal-eup, Ichon-gun, Kyunggi-do, Korea

(72) Inventor:  
Kim, Jae-gap

(54) Title of the Invention:

Semiconductor connector and method for manufacturing the same

(57) Abstract:

A semiconductor connector and a method for manufacturing the same are provided. In the method for manufacturing a semiconductor connector, a second conductive line is formed through an interlayer dielectric layer formed on a first conductive line to be connected to the first line in the manner of self-alignment when forming a contact at a first conductive line. Thus, there is no need to consider misalignment tolerance, distortion of a lens, and variation of critical dimension. In addition, it is possible to decrease the area of a portion connected through a semiconductor connector by minimizing the area of an overlapped portion between the contact formed at the first conductive line and the second conductive line.

대한민국특허청(KR)  
공개특허공보(A)

Int. Cl.<sup>5</sup>  
H 01 L 21/28

제 1182 호

공개일자 1994. 1. 11  
출원일자 1992. 6. 16

공개번호 94- 1273  
출원번호 92-10445  
심사청구 : 있음

---

발 명 자 김 재 갑 경기도 이천군 이천읍 갈산리 606 현대APT 203-206

출 원 인 현대전자산업 주식회사 대표이사 김 주 용

경기도 이천군 부발읍 아미리 산 136-1

대리인 변리사 손 경 한 · 이 권 회 · 서 중 완 (전 3면)

---

반도체 접속장치 및 그 제조방법

요 약

반도체 접속 장치를 제조하는 공정에서, 제2 전도선을 층간 절연체를 지나 그 하부의 제1 전도선과 연결시키기 위해, 상기 제1 전도선에 콘택을 형성할때, 자기 정렬 방식으로 제2 전도선을 제1 전도선에 연결시킴으로, misalignment tolerance, lens distortion 및 CD variation를 고려하지 않아도 되고, 제1 전도선에 형성되는 콘택과 제2도선의 오버랩을 최소화시켜 접속부분의 면적을 줄일 수 있다.

발송번호 : 9-5-2001-019709362

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2001.07.25

층

제출기일 : 2001.09.25

이영필 귀하

137-874

## 특허청 의견제출통지서

01.7.26

출원인 성명 삼성전자 주식회사 (출원인코드: 119981042713)

주소 경기 수원시 팔달구 매탄3동 416

대리인 성명 이영필 외 2 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층

출원번호 10-1999-0039837

발명의 명칭 자기 정렬 콘택을 가지는 반도체 소자 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1, 7, 13, 14, 15, 18, 19항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

본 출원은 자기 정렬 콘택을 가지는 반도체 소자 및 그 제조방법에 관한 것으로 특허청구범위의 청구항 제1항, 제7항, 제13항 내지 제15항, 제18항, 제19항은 인용발명 '대한민국 특허공개공보 제94-1273호(1994.01.11)'의 제2도전선을 층간절연체를 지나 그 하부의 제1도전선과 자기정렬방식으로 연결시키는 공지된 기술 내용에 의해 이 발명이 속하는 분야에 통상의 지식을 가진 자가 용이하게 발명할 수 있는 것으로 판단됩니다.

### [첨부]

첨부1 대한민국 특허공개공보 제94-1273호

끝.

2001.07.25

특허청 심사4국

반도체1 심사담당관실 심사관 권인희



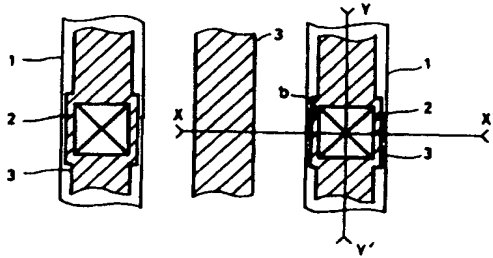
<<안내>>

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

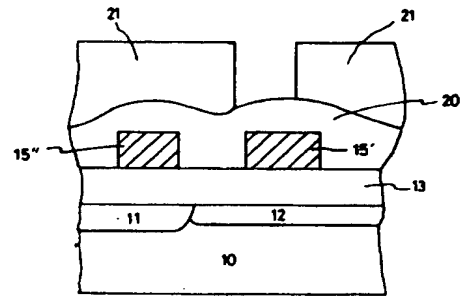
▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

한 번 방법 발명에 따라 접속장치를 형성하는 제조 공정을 나타내는 반도체 소자의 단면도.

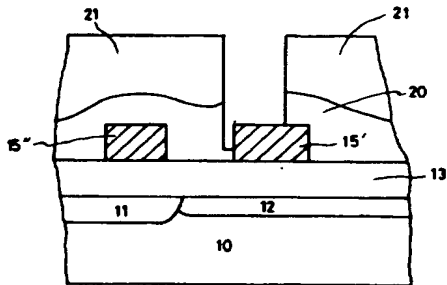
제 2 도



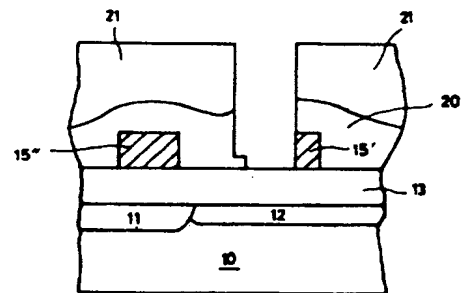
제 4 A 도



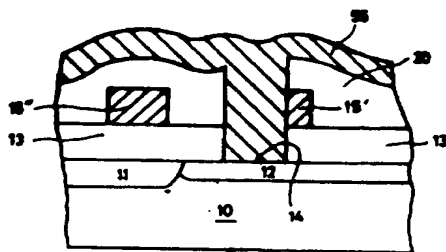
제 4 B 도



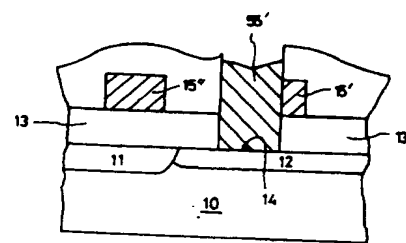
제 4 C 도



제 4 D 도



제 4 E 도



제 4 F 도

